

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368227

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H01L 29/786
H01L 21/76
H01L 21/762
H01L 21/8238
H01L 27/08
H01L 27/092

(21)Application number : 2001-177006

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 12.06.2001

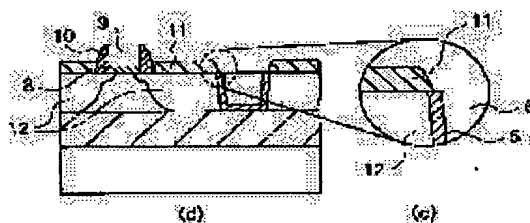
(72)Inventor : SOTOZONO AKIRA

(54) SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress flow of an Si of an SOI layer, in an elevated source drain structure shape of fully depletion SOI device.

SOLUTION: A method for manufacturing a semiconductor device comprises steps of forming a groove for an STI having 50 to 350 nm on the SOI layer, then depositing a silicon nitride film or a silicon oxide film of 5 to 30 nm in the groove for the STI, and then embedding an SiO₂ layer. As a result, the silicon nitride film or the silicon oxide film is interposed between the Si and the SiO₂ on the surface of the SOI layer, so that no interface is generated between the Si and the SiO₂.



8...ゲート絶縁膜、9...ゲート電極、10...ゲート側壁絶縁膜、11...エピタキシャル単結晶シリコン膜、12...高濃度拡散層

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368227

(P2002-368227A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)	
H 0 1 L 29/786		H 0 1 L 27/08	3 3 1 A	5 F 0 3 2
21/76			3 3 1 E	5 F 0 4 8
21/762		29/78	6 2 1	5 F 1 1 0
21/8238			6 1 3 A	
27/08	3 3 1	21/76	D	
審査請求 未請求 請求項の数 6 O L (全 9 頁) 最終頁に続く				

(21) 出願番号 特願2001-177006(P2001-177006)

(22) 出願日 平成13年6月12日 (2001. 6. 12)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 外園 明

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100083161

弁理士 外川 英明

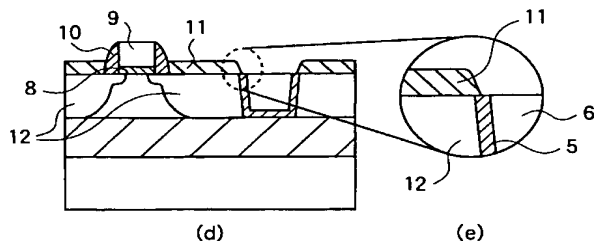
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 完全空乏型SOIデバイスのエレベータード・ソース・ドレイン構造形成において、SOI層のSiの流動を抑える。

【解決手段】 50～350nmのSTI用の溝をSOI層に形成後、前記STI用の溝にシリコン窒化膜若しくはシリコン酸窒化膜を5～30nm堆積し、続けてSiO₂層を埋め込む。その結果、SOI層表面において、SiとSiO₂との間にシリコン窒化膜若しくはシリコン酸窒化膜が介在し、SiとSiO₂の界面が生じることはない。



8…ゲート絶縁膜、9…ゲート電極、10…ゲート側壁絶縁膜、11…エピタキシャル単結晶シリコン膜、12…高濃度拡散層

【特許請求の範囲】

【請求項 1】 SOI 基板を用いた半導体装置において、
前記 SOI 基板表面のシリコン層と、
このシリコン層上に形成されたゲート絶縁膜を介したゲート電極と、
少なくとも前記シリコン層表面に形成されたトレンチ型の素子分離領域と、
このトレンチ型の素子分離領域上面端部に形成され、かつ、前記シリコン層表面に接するように形成された分離絶縁膜とを具備することを特徴とする半導体装置。

【請求項 2】 SOI 基板を用いた半導体装置において、
半導体基板と、
この半導体基板上に形成された絶縁性の層と、
この絶縁性の層上に形成されたシリコン層と、
このシリコン層上に形成されたゲート絶縁膜を介したゲート電極と、
少なくとも前記シリコン層表面に形成され、かつ、側面及び底面は分離絶縁膜で覆われ、シリコン酸化膜で埋め込まれた構成からなるトレンチ型の素子分離領域と、
前記シリコン層の表面のソース・ドレイン領域上に、少なくともそれらの表面部分からせり上げられたエレベータッド・ソース・ドレイン膜とを具備し、
前記分離絶縁膜が前記シリコン層表面に接するように形成されていることを特徴とする半導体装置。

【請求項 3】 SOI 基板を用いた半導体装置において、
半導体基板と、
この半導体基板上に形成された絶縁性の層と、
この絶縁性の層上に形成されたシリコン層と、
このシリコン層上に形成されたゲート絶縁膜を介したゲート電極と、
前記シリコン層表面から突出するように形成されたトレンチ型の素子分離領域と、
前記シリコン層の表面のソース・ドレイン領域上に、少なくともそれらの表面部分からせり上げられたエレベータッド・ソース・ドレイン膜と、
このエレベータッド・ソース・ドレイン膜と前記トレンチ型の素子分離領域との間に形成された分離絶縁膜とを具備することを特徴とする半導体装置。

【請求項 4】 前記分離絶縁膜は、シリコン窒化膜若しくはシリコン酸窒化膜から形成されることを特徴とする請求項 1 乃至請求項 3 記載の半導体装置。

【請求項 5】 半導体基板上に形成された絶縁性の層と、この絶縁性の層上に形成されたシリコン層からなる SOI 基板を用いた半導体装置の製造方法において、
前記シリコン層に素子分離用のトレンチ型の溝を形成し、この素子分離用のトレンチ型の溝の側面及び底面に分離絶縁膜を堆積し、この分離絶縁膜上、かつ、前記素

子分離用の溝内にシリコン酸化膜を埋め込み、シリコン層内にトレンチ型の素子分離領域を形成する製造工程と、
前記シリコン層のシリコン成長によりエピタキシャル膜を形成する方法を具備することを特徴とする半導体装置の製造方法。

【請求項 6】 半導体基板上に形成された絶縁性の層と、この絶縁性の層上に形成されたシリコン層からなる SOI 基板を用いた半導体装置の製造方法において、
前記シリコン層上に第 1 の絶縁膜を形成後、この第 1 の絶縁膜及び前記シリコン層に素子分離用のトレンチ型の溝を形成する製造工程と、
この素子分離用のトレンチ型の溝にシリコン酸化膜を埋め込んだ後、前記第 1 の絶縁膜を除去し、トレンチ型の素子分離領域を形成する製造工程と、
前記シリコン層上にゲート絶縁膜及びゲート電極を形成後、前記シリコン層と前記ゲート電極とトレンチ型の素子分離領域上に第 2 の絶縁膜を堆積し、この第 2 の絶縁膜をエッチングバックして、ゲート側壁絶縁膜及び分離絶縁膜を形成する製造工程と、
前記シリコン層のシリコン成長によりエピタキシャル膜を形成する方法を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、完全空乏型 SOI (Silicon On Insulator) デバイスにおいて CMOS デバイスを構成する NMOS と PMOS をエレベータッド・ソース・ドレイン構造 (Elevated S/D 構造) で形成する半導体装置に関する。

【0002】

【従来の技術】 近年のプロセス技術進展による MOSFET (Metal Oxide Semiconductor Field Effect Transistor) の微細化に伴い、ゲート長がスケールアップされることで、閾値電圧が低下する短チャネル効果が顕著となる。この短チャネル効果は、MOSFET のソース及びドレイン部分での電界の歪みが、チャネル長の縮小に伴い、チャネル部分にまで影響を与えることに起因している。これを抑制するためには、チャネル部分の不純物濃度を高くすることが一つの方法であるが、チャネル部分の不純物濃度を高くすると基板とソース、ドレイン電極間の電気容量が増大し素子の高速動作を阻害する。このような問題を解決するために、絶縁膜 (以下、「BOX 層」という。) 上に形成された薄いシリコン層 (以下、「SOI 層」という。) に半導体素子を形成する SOI 技術が開発されている。

【0003】 この SOI 技術を用いたトランジスタ構造は、図 5 (a) に示す完全空乏型と図 5 (b) に示す部

分空乏型に分けられるが、特に完全空乏型のSOIデバイスでは、SOI層の膜厚が50nm以下という薄膜のため、シリサイド反応での消費シリコンが少なく、シリサイドプロセスとの組み合わせが困難な状況にある。したがって、完全空乏型デバイスではソース、ドレインを形成する拡散層をせり上げて厚みをもたすエレベータッド・ソース・ドレイン構造形成プロセスとの組み合わせが不可欠となっている。

【0004】図6にエレベータッド・ソース・ドレイン構造を有した完全空乏型SOIデバイスの製造工程を示す。

【0005】図6(a)に示すように、半導体基板101上にSiO₂からなるBOX層102、さらに前記BOX層102上に薄いSi層からなるSOI層103を形成されたSOI基板を用いる。次に、前記SOI層103にリソグラフィ及びRIE(Reaction Ion Etching)技術を用いて加工し、トレンチ型の溝を形成後、前記溝に対してSiO₂を埋め込む。次に余分なSiO₂をCMP(Chemical Mechanical Polish)により前記SOI層103が露出するまで研磨・除去し、STI(Shallow Trench Isolation)104を形成する。

【0006】次に図6(b)に示すように、前記SOI層103上にWell及びチャネル領域形成後、熱酸化法若しくはLPCVD(Low Pressure Chemical Vapor Deposition)法によって0.5nm~10.0nmの膜厚の絶縁膜を形成する。さらに前記絶縁膜上に50nm~200nmの膜厚のポリシリコンを堆積し、リソグラフィ及びRIE技術を用いて加工し、ゲート絶縁膜105及びゲート電極106を形成する。

【0007】次に、前記ゲート電極106をマスクとして不純物のイオン注入を行い、浅い拡散層107を形成する。

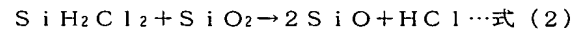
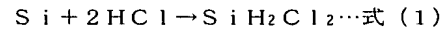
【0008】次に図6(c)に示すように、前記SOI層103上にLPCVD法によってSiN膜を堆積後、RIE法によりエッチバックすることでゲート側壁絶縁膜108を形成する。次に800℃以上の下、水素雰囲気中で基板を加熱し、SiH₄、SiH₂Cl₂、SiHCl₃、HCl等の反応ガスを水素とともに被成長基板上、すなわちSOI層3上に供給する。その結果、Si或いはPoly-Siの露出部、すなわちゲート電極106及び拡散層107上のみにエピタキシャル単結晶シリコン膜109が形成される。

【0009】次に図6(d)に示すように、前記エピタキシャル単結晶シリコン膜109上から高濃度拡散領域の形成を行うことによってエレベータッド・ソース・ドレイン構造を有するSOIデバイスが形成される。

【0010】

【発明が解決しようとする課題】 しかし、従来の完全空乏型SOIデバイスではSOI層表面上におけるSTI領域の側面でSi/SiO₂界面が形成されている。このような界面をもったSOI層表面に対してシリコン選択成長を行うと、以下の反応をおこしやすくなる。

【0011】



上記式(2)で生成されたSiOは昇化性物質となつて、SiとSiO₂の両者ともその界面においてエッチングされていく。この傾向は、高温処理になるほど激しくなる。その結果、図7に示すように能動層となるべきSiがSiO₂と接する部分において丸まってしまうという弊害が生じる。

【0012】一方、シリコン選択成長は高温で行うほど選択性が高いため、制御性よくエレベータッド・ソース・ドレイン構造を形成することが可能となる。通常、800℃~900℃の条件の下で行うのが望ましい。

【0013】しかし、前記弊害を回避するために低温でのシリコン選択成長を行うことが考えられるが、低温シリコン選択成長は選択性を低下させる要因となるため一律に低温処理することも実用性にかけ、これらの調和をとった温度でのシリコン選択成長工程が望まれるが、プロセスマージンの狭いプロセスとなってしまう。

【0014】また、成長したシリコン層はSiO₂と接する部分でファセットを生じるため、STI領域近傍ではシリコン層の膜厚が薄くなり、接合リーク、短チャネル効果が生じることとなり、デバイス特性に影響をもたらす。

【0015】そこで、本発明は完全空乏型SOIデバイスのエレベータッド・ソース・ドレイン構造形成に際し高温処理を施しても能動層となるべきSiが丸まることがなく、また、ファセットがない半導体装置及びその製造方法について提案する。

【0016】

【課題を解決するための手段】 上記課題は、SOI基板を用いた半導体装置において、前記SOI基板表面のシリコン層と、このシリコン層上に形成されたゲート絶縁膜を介したゲート電極と、少なくとも前記シリコン層表面に形成されたトレンチ型の素子分離領域と、このトレンチ型の素子分離領域上面端部に形成され、かつ、前記シリコン層表面に接するように形成された分離絶縁膜とを具備することを特徴とする半導体装置により解決する。

【0017】上記課題は、半導体基板上に形成された絶縁性の層と、この絶縁性の層上に形成されたシリコン層からなるSOI基板を用いた半導体装置の製造方法において、前記シリコン層に素子分離用のトレンチ型の溝を形成し、この素子分離用のトレンチ型の溝の側面及び底面に分離絶縁膜を堆積し、この分離絶縁膜上、かつ、前

記素子分離用の溝内にシリコン酸化膜を埋め込み、シリコン層内にトレンチ型の素子分離領域を形成する製造工程と、前記シリコン層のシリコン成長によりエピタキシャル膜を形成する方法を具備することを特徴とする半導体装置の製造方法、若しくは、半導体基板上に形成された絶縁性の層と、この絶縁性の層上に形成されたシリコン層からなるSOI基板を用いた半導体装置の製造方法において、前記シリコン層上に第1の絶縁膜を形成後、この第1の絶縁膜及び前記シリコン層に素子分離用のトレンチ型の溝を形成する製造工程と、この素子分離用のトレンチ型の溝にシリコン酸化膜を埋め込んだ後、前記第1の絶縁膜を除去し、トレンチ型の素子分離領域を形成する製造工程と、前記シリコン層上にゲート絶縁膜及びゲート電極を形成後、前記シリコン層と前記ゲート電極とトレンチ型の素子分離領域上に第2の絶縁膜を堆積し、この第2の絶縁膜をエッチングバックして、ゲート側壁絶縁膜及び分離絶縁膜を形成する製造工程と、前記シリコン層のシリコン成長によりエピタキシャル膜を形成する方法を具備することを特徴とする半導体装置の製造方法により解決する。

【0018】上記手段によって、シリコン選択成長工程の際、シリコン層表面におけるSiとSiO₂のエッチングを防止することができる。

【0019】

【発明の実施の形態】 [第1の実施例] 本発明の第1の実施例による半導体装置の製造工程について図1～図2を参照しながら説明する。

【0020】図1(a)に示すように、半導体基板1上に絶縁性のSiO₂からなるBOX層2が形成され、さらに前記BOX層2上に薄いSi層からなるSOI層3が形成された基板を用いる。

【0021】前記SOI層3上にシリコン窒化膜4、続けて薄いシリコン酸化膜を堆積する。次にリソグラフィ及びRIE技術を用いて加工し、前記シリコン窒化膜4及びシリコン酸化膜を素子分離領域STI形成に対応したパターニングする。次にパターニングされたシリコン窒化膜4及びシリコン酸化膜をマスクにしてRIEを行い、SOI層3を50～300nmの深さまでエッチングし、STI用のトレンチ型の溝3aを形成する。このRIE工程において前記シリコン酸化膜は薄いのでほぼ除去されており、シリコン窒化膜4が表出されている。

【0022】次に図1(b)に示すように、前記シリコン窒化膜4上にシリコン窒化膜若しくは窒素濃度の高い酸化膜からなるSi/SiO₂分離絶縁膜5を5～30nm堆積する。その後、前記Si/SiO₂分離絶縁膜5上に前記STI用の溝を埋め込むようにSiO₂層6を堆積する。次に余分なSiO₂層6をCMP法によって研磨・除去し平坦化し、STI用の溝のみにSiO₂を残すことによって、STI7を形成する。

【0023】前記Si/SiO₂分離絶縁膜5はシリコン窒化膜若しくはシリコン酸窒化膜を用いることが望ましい。シリコン窒化膜やシリコン酸窒化膜は、SiO₂のようにSiと式(1)及び式(2)のような反応をおこすことがないため、Siと接していても互いにエッチングされることはないからである。

【0024】なお、シリコン酸窒化膜はLPCVD法等によって堆積する方法以外に、STI用の溝3aを形成後、熱酸化を行い、さらに窒素雰囲気中で熱酸化膜を窒化することによっても形成することができる。

【0025】次に図1(c)に示すように、約160℃に加熱された燐酸でSOI層表面に堆積されたシリコン窒化膜4を除去する。

【0026】以上より、SiからなるSOI層3とSTI領域7に埋め込まれたSiO₂との間にはシリコン窒化膜若しくはシリコン酸窒化膜からなるSi/SiO₂分離絶縁膜5が介在されており、SiO₂とSiが接することはない。

【0027】次に図2(d)に示すように、エレベータッド・ソース・ドレイン構造をしたMOSFETを形成する。具体的には従来のMOSFET形成と同様で、SOI層3上にWell及びチャネル領域形成後、熱酸化法若しくはLPCVD法によって0.5～10.0nmの膜厚の絶縁膜を形成する。さらに前記絶縁膜上に50nm～200nmの膜厚のポリシリコンを堆積し、リソグラフィ及びRIE技術を用いて加工し、ゲート絶縁膜8およびゲート電極9を形成する。ここで、ゲート絶縁膜8の絶縁材料はSiO₂、シリコン窒化膜又はシリコン窒化膜若しくはTa₂O₅等の高誘電体膜の絶縁膜を用いることができる。また、前記ゲート電極9はポリシリコン電極の代わりにTiN、WNをバリアメタルとしてWを用いたメタルゲート構造を用いることも可能である。

【0028】次に、前記ゲート電極9をマスクとして不純物のイオン注入を行い、浅い拡散層を形成する。なお、ゲート電極9形成後、不純物のイオン注入する前に熱酸化法によって2～6nmの後酸化膜SiO₂を形成してもよい。後酸化することによって、ゲートエッジ部分が丸められ、電界集中を防ぐことができる。

【0029】さらに、前記SOI層3上にLPCVD法によってシリコン窒化膜を堆積後、RIE法によりエッチバックすることでゲート側壁絶縁膜10を形成する。前記ゲート側壁絶縁膜10はシリコン窒化膜の代わりにSiO₂やシリコン窒化膜とSiO₂等を組み合わせた絶縁膜が考えられる。

【0030】次に、水素雰囲気中において800℃以上の高温でシリコン基板等を加熱し、SiH₄、SiH₂Cl₂、SiHCl₃、HCl等の反応ガスを被成長基板に供給し、シリコン若しくはPoly-Siが露出した部分上のみ、エピタキシャル単結晶シリコン膜11が形

成される。この際、ゲート電極上にはキャップなどしてシリコン成長しないようにし、拡散層上にはのみシリコン選択成長させることもできる。また、選択成長に適用されるエピタキシャル成長装置は反応室の形状で、加熱方式、ウェハ処理方式によらずプロセスを行うことができる。

【0031】この場合、前記 SiO_2 と Si との間に介在した分離絶縁膜5に用いられるシリコン窒化膜やシリコン酸化膜は、シリコン成長を制御性よく横方向成長させることができるため、図2(e)のように成長したエピタキシャル単結晶シリコン膜11は前記分離絶縁膜5にのり上げる。したがって、従来の Si と SiO_2 が接していたときに生じていたファセットがなく、接合リーク、短チャネル効果等の弊害も回避することができる。

【0032】次に前記エピタキシャル単結晶シリコン膜11上の上から高濃度拡散層13の形成を行うことによってエレベータッド・ソース・ドレイン構造を有するSOIデバイスが形成される。なお、高濃度拡散層13層形成後、シリコン単結晶成長を行ってもよい。

【0033】[第2の実施例] 次に本発明の第2の実施例による半導体装置の製造工程について図3～図4を参照しながら説明する。

【0034】図3(a)に示すように、半導体基板1上に絶縁性の SiO_2 からなるBOX層2が形成され、さらにBOX層2上に薄い Si 層からなるSOI層3が形成された基板を用いる。

【0035】前記SOI層3上にシリコン窒化膜13、続けて薄いシリコン酸化膜を堆積する。次にリソグラフィー及びRIE技術を用いて加工し、前記シリコン窒化膜13およびシリコン酸化膜を素子分離領域STI形成に対応したパターンニングする。次にパターンニングされたシリコン窒化膜13及びシリコン酸化膜をマスクにしてRIEを行い、SOI層3を50～300nmの深さまでエッチングし、STI用の溝3aを形成する。このRIE工程においてマスクとして用いられたシリコン酸化膜は薄膜なのでほぼ除去されており、シリコン窒化膜13が表出されている。

【0036】次に図3(b)に示すように、前記STI用の溝3aに SiO_2 層14を埋めるように SiO_2 層14を堆積する。次に余分な SiO_2 層14をCMP法によって前記シリコン窒化膜13が表出するまで研磨・除去し、STI用の溝3aのみに SiO_2 を残すことによって、STI15を形成する。

【0037】次に図3(c)に示すように、約160℃に加熱された燐酸が残ったシリコン窒化膜13を選択的に除去する。その結果、 SiO_2 が埋め込まれたSTI15がSOI層3に対してシリコン窒化膜13の膜厚分だけせり上がった形状になる。

【0038】次に図4(d)に示すように、SOI層3

上にWe11及びチャネル領域形成後、熱酸化法若しくはLPCVD法によって0.5～10.0nmの膜厚の絶縁膜を形成する。さらに前記絶縁膜上に50nm～200nmの膜厚のポリシリコンを堆積し、リソグラフィー及びRIE技術を用いて加工し、ゲート絶縁膜8およびゲート電極9を形成する。ここで、ゲート絶縁膜8の絶縁材料は SiO_2 、シリコン酸化膜又はシリコン窒化膜若しくは Ta_2O_5 等の高誘電体膜の絶縁膜を用いることができる。また、前記ゲート電極9はポリシリコン電極の代わりにTiN、WNをバリアメタルとしてWを用いたメタルゲート構造を用いることも可能である。次に、前記ゲート電極9をマスクとして不純物のイオン注入を行い、浅い拡散層を形成する。なお、不純物イオン注入前に熱酸化法によって2～6nmの後酸化 SiO_2 を形成してもよい。次に、SOI層3、ゲート電極9及びSTI15上にシリコン窒化膜16をLPCVD法等で堆積する。

【0039】次に図4(e)に示すように、RIEにより堆積したシリコン窒化膜16をエッチバックする。その結果、ゲート絶縁膜8並びにゲート電極9の側壁にはゲート側壁絶縁膜16bが、また前記せり上がったSTI15の SiO_2 の側壁には Si/SiO_2 分離絶縁膜16aが形成される。

【0040】ここでSOI層3表面と同一面上におけるSTI15とSOI層3との境界面には、シリコン窒化膜16aが介在するため、STI15に埋め込まれた SiO_2 とSOI層3の Si は接していない。したがって、シリコン選択成長を行っても Si と SiO_2 が反応することなくエピタキシャル単結晶シリコン膜を形成することができる。また、シリコン窒化膜はシリコン成長を制御性よく横方向成長させることができるため、ファセットも生じない。なお、このシリコン窒化膜16に代えてシリコン酸化膜を用いることもできる。

【0041】また、ゲート絶縁膜8やゲート電極9等の形成によって、STI15に埋め込まれた SiO_2 もエッチングバックされてしまう。本実施例では、SOI層3の膜厚よりもSTI15を高くする必要があるため、SOI層3上に堆積するシリコン窒化膜13を予め厚めに堆積するとよい。

【0042】さらに続けて図4(f)に示すように第1の実施例と同様に、シリコン選択成長によってエピタキシャル単結晶シリコン膜11の形成、さらに高濃度拡散層12を形成してエレベータッド・ソース・ドレイン構造を有した完全空乏型SOIデバイスが形成される。

【0043】なお、上記実施例1乃至2においてSOI層3にゲルマニウムを混入するとよい。ゲルマニウムを混入することによって低温で選択エピタキシャル成長が可能となる。高温での選択エピタキシャル成長処理においては浅い結合であるエクステンションが拡散してしまうという問題が発生するが、ゲルマニウムを混入するこ

とによってこの問題を回避することができる。

【0044】

【発明の効果】 以上詳述したように本発明によれば、完全空乏型SOIデバイスのエレベーター・ソース・ドレイン構造形成に際し、Siの流動を防ぎ、能動層となるべきSiが丸まることがなく、また、ファセットが生じることもない。

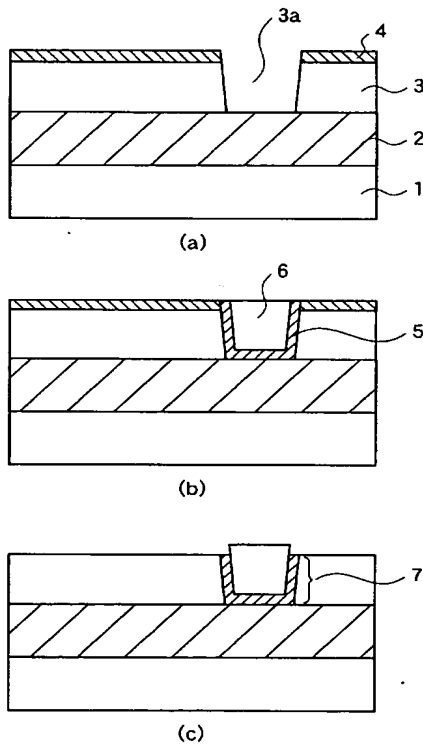
【図面の簡単な説明】

【図1】 本発明の第1の実施例による完全空乏型SOI基板を用いた半導体装置の製造工程を示す図である（その1）。

【図2】 本発明の第1の実施例による完全空乏型SOI基板を用いた半導体装置の製造工程を示す図である（その2）。

【図3】 本発明の第2の実施例による完全空乏型SOI基板を用いた半導体装置の製造工程を示す図である（その1）。

【図1】



1…半導体基板、2…BOX層、3…SOI層、3a…STI用の溝、4…シリコン窒化膜、5…Si/SiO₂分離絶縁膜、6…SiO₂、7…STI

【図4】 本発明の第2の実施例による完全空乏型SOI基板を用いた半導体装置の製造工程を示す図である（その2）。

【図5】 完全空乏型SOIデバイスと部分空乏型SOIデバイスを示す図である。

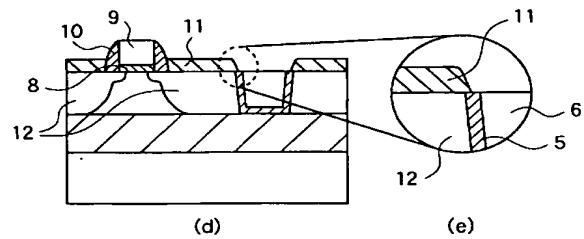
【図6】 従来技術による完全空乏型SOI基板を用いた半導体の製造工程を示す図である。

【図7】 従来技術により、SOI層のSiが丸まってしまった完全空乏型SOIデバイスを示す図である。

【符号の説明】

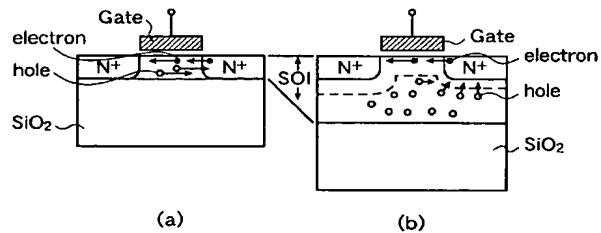
1…半導体基板、2…BOX層、3…SOI層、4、13…シリコン窒化膜、5、16a…Si/SiO₂分離絶縁膜、6、14…SiO₂、7、15…STI、8…ゲート絶縁膜、9…ゲート電極、10、16a…ゲート側壁絶縁膜、11…エピタキシャル単結晶シリコン膜、12…高濃度拡散層

【図2】

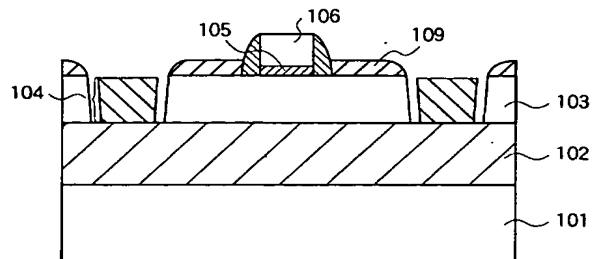


8…ゲート絶縁膜、9…ゲート電極、10…ゲート側壁絶縁膜、11…エピタキシャル単結晶シリコン膜、12…高濃度拡散層

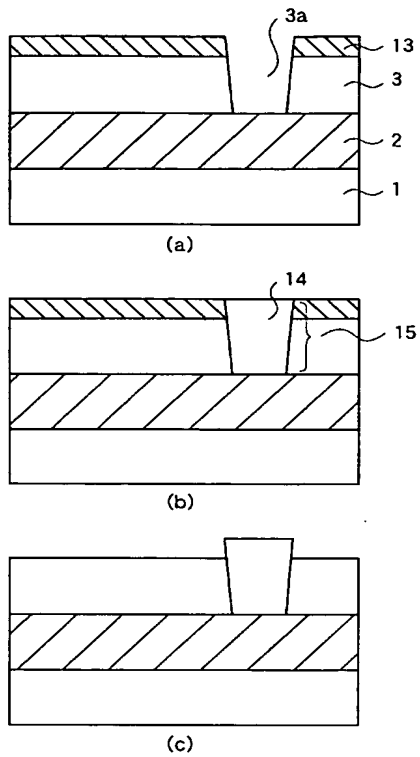
【図5】



【図7】

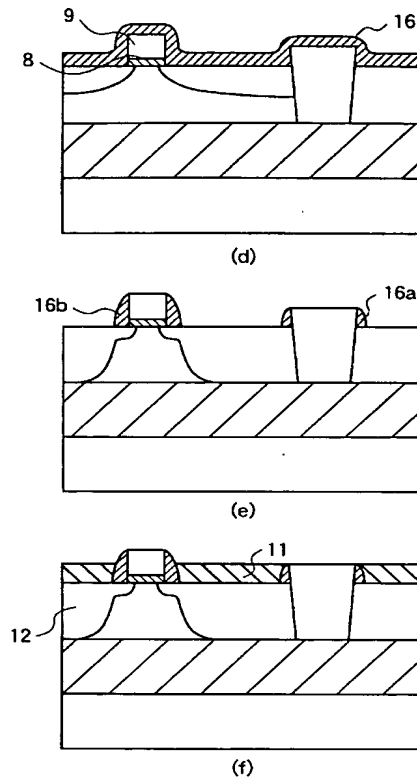


【図 3】



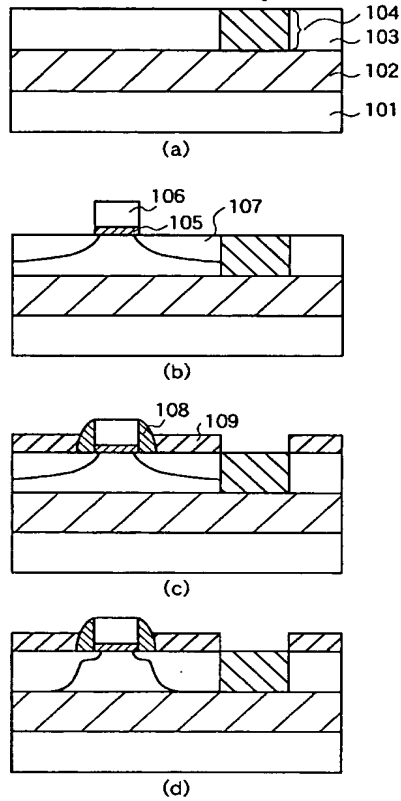
13…シリコン窒化膜、14… SiO_2 、6…STI

【図 4】



16…シリコン窒化膜、16a…ゲート側壁絶縁膜、
16b… Si/SiO_2 分離絶縁膜

【図6】



101…半導体基板、102…BOX層、103…SOI層、104…STI、
 105…ゲート絶縁膜、106…ゲート電極、107…不純物拡散層、
 108…ゲート側壁絶縁膜、109…エピタキシャル単結晶シリコン膜

フロントページの続き

(51)Int. Cl.⁷
 H01L 27/08
 27/092

識別記号

F I
 H01L 27/08
 21/76

テーマコード* (参考)

321Z
 321E
 L

F ターム(参考) 5F032 AA03 AA07 AA34 AA44 AA46
CA17 CA20 DA12 DA23
5F048 AA04 AC04 BA14 BA16 BB04
BB05 BB09 BB11 BB12 BC05
BC06 BG01 BG03 BG13 BG14
DA25 DA27 DA30
5F110 AA01 AA06 BB04 CC02 DD05
DD13 EE01 EE04 EE09 EE14
EE32 EE42 FF01 FF02 FF04
FF23 FF32 GG02 GG12 HJ12
HK08 HK13 HK31 NN62 NN65
QQ11